

PATENT ABSTRACTS OF JAPAN

#6

(11)Publication number : 03-014157

(43)Date of publication of application : 22.01.1991

(51)Int.Cl.

G06F 13/36

G06F 13/16

G06F 15/78

(21)Application number : 01-151622

(71)Applicant : NEC CORP

(22)Date of filing : 13.06.1989

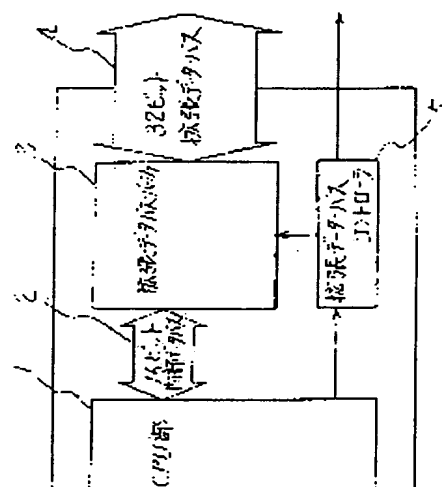
(72)Inventor : ITAGAKI KATSUHIKO

(54) DATA EXTENSION TYPE MICROPROCESSOR

(57)Abstract:

PURPOSE: To improve the transfer capacity of an external data bus by containing an extended data bus buffer, an extended data bus and an extended data bus controller in an external data bus interface part against a microprocessor.

CONSTITUTION: With respect to a CPU part 1 of the same constitution as a 16-bit microprocessor, an extended data bus buffer 3, an extended data bus 4 and an extended data bus controller 5 are provided. In a program read cycle and a data read cycle to a memory, 32-bit data fetched by a single memory read cycle by the extended data bus 4 is stored temporarily in the extended data bus buffer 3. Subsequently, the CPU part 1 fetches successively 16-bit data stored in the upper and the lower parts of the extended data bus buffer 3. These read/write accesses to the memory and the access to the extended data bus buffer 3 from the CPU part 1 are controlled by the extended data bus controller 5. In such a way, the external data bus width is extended, and the transfer capacity can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平3-14157

⑤ Int. Cl.³G 06 F 13/36
13/16
15/78

識別記号

3 2 0 B
5 1 0
5 1 0 D

庁内整理番号

8840-5B
8841-5B
9072-5B

⑬ 公開 平成3年(1991)1月22日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 データ拡張型マイクロプロセッサ

⑮ 特 願 平1-151622

⑯ 出 願 平1(1989)6月13日

⑰ 発 明 者 板 垣 克 彦 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 出 願 人 日 本 電 気 株 式 会 社 東京都港区芝5丁目7番1号
 ⑲ 代 理 人 弁 理 士 内 原 晋

明 細 書

発明の名称

データ拡張型マイクロプロセッサ

特許請求の範囲

内部アーキテクチャに対し同一のデータ幅またはこのデータ幅より少ないデータ幅の出力データバスを用いたマイクロプロセッサと、前記出力データバスのデータ幅の複数倍のデータ幅をもった拡張データバスと前記出力データバスとの間に接続されこれらのデータバス間のデータを一時記憶するメモリ回路を有する拡張データバスバッファと、この拡張データバスバッファのデータ転送タイミングを制御する拡張データバスコントローラとを備え、前記拡張データバスを出力バスとしデータ転送能力を上げたことを特徴とするデータ拡張型マイクロプロセッサ。

発明の詳細な説明

〔産業上の利用分野〕

本発明はマイクロプロセッサに関し、特に外部データバスの転送能力を上げるように外部データバス幅を拡張したデータ拡張型マイクロプロセッサに関する。

〔従来の技術〕

従来、マイクロプロセッサの外部データバスは、マイクロプロセッサの内部アーキテクチャ(例えば、演算部の精度やレジスタ幅)と同一ビット幅もしくはその半分のビット幅となっており、プログラムメモリからのリード(フェッチ)及びデータメモリへのリード・ライトのすべての動作がこの外部データバスのデータ幅によって行われていた。

〔発明が解決しようとする課題〕

上述した従来のマイクロプロセッサは、第3図のタイミング図に示す通り、内部の処理速度に対し、外部データバスの転送速度が遅くなるため、内部処理が外部データバスの転送能力によって制限されるという欠点があった。

例えば、第3図では、内部データビット数が16ビットで外部データビット32ビットを扱いたい場合、バスインタフェース処理には16ビットの信号を2回に分けて転送するため、一回の転送時間 T_1 、 T_2 、 T_3 、 T_4 に対し2倍の時間を必要としていた。すなわちプログラムリード($2T_1$)、データリード($2T_2$)、データライト($2T_3$)およびプログラムリード($2T_4$)の時間を必要としていた。

本発明の目的は、このような欠点を除き、拡張データバス・バッファと拡張データバス及び拡張データバス・コントローラを付加する事により、外部データバス幅を拡張し、転送能力を高める事が出来るデータ拡張型マイクロプロセッサを提供することにある。

〔課題を解決するための手段〕

本発明のデータ拡張型マイクロプロセッサの構成は、内部アーキテクチャに対し同一のデータ幅またはこのデータ幅より少ないデータ幅の出力データバスを用いたマイクロプロセッサと、前記出

-3-

により、外部データバス幅を32ビットに拡張し、データ転送能力を上げたものである。

メモリに対するプログラムリード(フェッチ)サイクル及びデータリードサイクルでは、一回の拡張データバス4によるメモリリードサイクルにて取り込まれた32ビットデータを拡張データバスバッファ3に一時格納し、CPU部1がその内部データバス幅に応じて、拡張データバスバッファ3の上位・下位に格納された16ビットデータを順次取り込む。メモリへのデータライトサイクルではCPU部1から内部データバス2を通じて拡張データバスバッファ3の上位・下位へ16ビットデータを順次書き込み、一括して32ビットデータを拡張データバス4を通じてメモリへ書き込む。

これらのメモリへのリード・ライトアクセス及びCPU部1からの拡張データバスバッファ3へのアクセスは、拡張データバスコントローラ5により制御される。

この結果、従来数回に分けて起動されていた外

-5-

部データバスのデータ幅の複数倍のデータ幅をもった拡張データバスと前記出力データバスとの間に接続されこれらのデータバス間のデータを一時記憶するメモリ回路を有する拡張データバスバッファと、この拡張データバスバッファのデータ転送タイミングを制御する拡張データバスコントローラとを備え、前記拡張データバスを出力バスとしデータ転送能力を上げたことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。本実施例では、内部データバスが16ビットのCPUに対し、外部データバスを32ビットに拡張した場合を示している。CPU部1は従来の16ビットマイクロプロセッサと同一の構成となっており、内部データバス2も16ビット幅となっている。本実施例は、このCPU部1に対し、拡張データバスバッファ3と、拡張データバス4と、拡張データバスコントローラ5とを備える事

-4-

部データバスのアクセスが一回で可能となり、読み込み・書き込み時間が短縮される。

従来のマイクロプロセッサでは、第3図に示すように、外部データバスの転送速度がマイクロプロセッサの全体の性能を制限していたが、本発明の構成によれば、ソフトウェアを全く変えずに同一のアクセスタイムのメモリを使用して第2図に示すように、一回のプログラム・データのリード・ライト時間 T_1 、 T_2 、 T_3 、 T_4 で済み、マイクロプロセッサの性能を上げる事が可能となる。

本実施例では、16ビット→32ビットの拡張データバスバッファ3を用いた場合を説明したが、8ビット→16ビット、8ビット→32ビットの拡張データバスバッファも用いることができることは明らかである。

また、バス拡張ユニットと、拡張データバスコントローラとをユニット化し、内部データバスを介してCPU部と接続し外部データバスの拡張データバスとの間に用いることもできる。

-6-

この様に本発明の回路をユニット化する事により、今後、用途に応じてマイクロプロセッサを開発する場合、コア化された同一のCPU部に対し様々なデータバス幅を提供する事が可能となる。

〔発明の効果〕

以上説明したように本発明は、従来のマイクロプロセッサに対し外部データバスインタフェース部に拡張データバスバッファと拡張データバス及び拡張データバスコントローラを内蔵する事により、外部データバスの転送能力を上げる事が可能であり、マイクロプロセッサの性能を向上させることができるという効果がある。

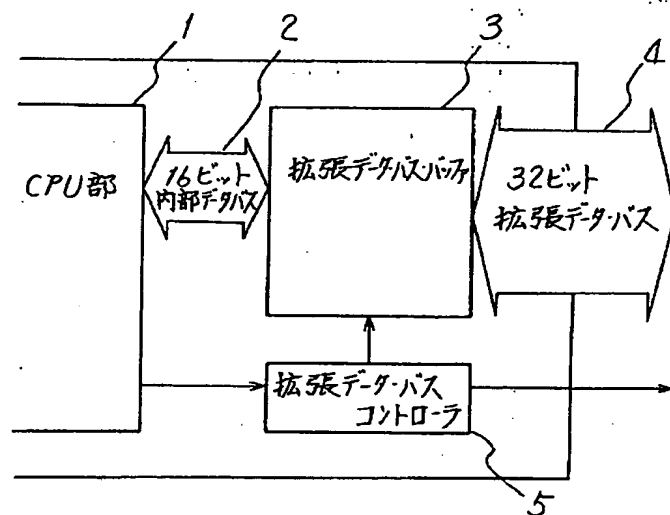
ト拡張データバス、5…拡張データバスコントローラ。

代理人 弁理士 内 原 智

図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は第1図の実施例の動作を示すタイミング図、第3図は従来のマイクロプロセッサの動作を同一の処理にて比べた時のタイミング図である。

1…CPU部、2…16ビット内部データバス、3…拡張データバスバッファ、4…32ビット拡張データバス、5…拡張データバスコントローラ



第1図

